

L12 ANSWER 1 OF 1 WPINDEX COPYRIGHT 2003 THOMSON DERWENT on STN

AN 2001-488728 [53] WPINDEX

DNN N2001-361619 DNC C2001-146693

TI Semiconductor structure comprises two lattice-mismatched layers deposited on substrate and annealed at high temperature.

DC L03 U11

IN FITZGERALD, E A

PA (FITZ-I) FITZGERALD E A; (AMBE-N) AMBERWAVE SYSTEMS CORP

CYC 23

PI WO 2001054175 A1 20010726 (200153)\* EN 20p

RW: AT BE CH CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE TR

W: CA JP

US 2001024884 A1 20010927 (200159)

US 2002005514 A1 20020117 (200212)

EP 1249036 A1 20021016 (200276) EN

R: AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR

US 6503773 B2 20030107 (200306)

US 6518644 B2 20030211 (200314)

US 2003113948 A1 20030619 (200341)

JP 2003520444 W 20030702 (200352) 30p <--

ADT WO 2001054175 A1 WO 2001-US1413 20010116; US 2001024884 A1

Provisional US

2000-177085P 20000120, US 2001-761497 20010116; US 2002005514 A1

Provisional US 2000-177085P 20000120, US 2001-761508 20010116; EP

1249036

A1 EP 2001-902072 20010116, WO 2001-US1413 20010116; US 6503773 B2

Provisional US 2000-177085P 20000120, US 2001-761497 20010116; US

6518644

B2 Provisional US 2000-177085P 20000120, US 2001-761508 20010116;

US

2003113948 A1 Provisional US 2000-177085P 20000120, Cont of US

2001-761497

20010116, US 2002-268025 20021009; JP 2003520444 W JP 2001-553568

20010116, WO 2001-US1413 20010116

FDT EP 1249036 A1 Based on WO 2001054175; US 2003113948 A1 Cont of US 6503773;

JP 2003520444 W Based on WO 2001054175

PRAI US 2000-177085P 20000120; US 2001-761497 20010116; US 2001-761508

20010116

AN 2001-488728 [53] WPINDEX

AB WO 200154175 A UPAB: 20010919

NOVELTY - A semiconductor structure comprises: a substrate; a lattice-mismatched first layer deposited on the substrate and annealed at greater than 100 deg. C above the deposition temperature; and a second layer deposited on the first layer with a greater lattice mismatch to the substrate than to the first layer.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a method of processing the above semiconductor structure.

USE - None given.

ADVANTAGE - The semiconductor structure has a low threading dislocation density. It does not require high temperature deposition of the mismatched layers, thus avoiding the germane particle generation and the gas phase nucleation.

Dwg.0/5

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

第7部門第2区分

特表2003-520444

(P2003-520444A)

(43) 公表日 平成15年7月2日 (2003.7.2)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/20

H 0 1 L 21/20

5 F 0 4 5

21/205

21/205

5 F 0 5 2

審査請求 有 予備審査請求 有 (全 30 頁)

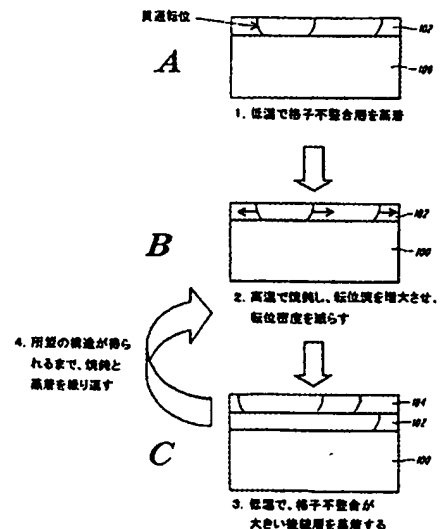
(21) 出願番号 特願2001-553568 (P2001-553568)  
 (86) (22) 出願日 平成13年1月16日 (2001.1.16)  
 (85) 翻訳文提出日 平成14年7月2日 (2002.7.2)  
 (86) 国際出願番号 PCT/US01/01413  
 (87) 国際公開番号 WO01/054175  
 (87) 国際公開日 平成13年7月26日 (2001.7.26)  
 (31) 優先権主張番号 60/177,085  
 (32) 優先日 平成12年1月20日 (2000.1.20)  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CA, JP

(71) 出願人 アンバーウェーブ システムズ コーポレーション  
 アメリカ合衆国 ニューハンプシャー州  
 セーレム ガラベディアンドライブ 13  
 (72) 発明者 フィッツジェラルド ユージーン エイ  
 アメリカ合衆国 ニューハンプシャー ウ  
 イングダム キャメロット ロード 7  
 (74) 代理人 弁理士 吉田 研二 (外1名)  
 Fターム(参考) 5F045 AA03 AA06 AB01 AD10 AD11  
 AF03 BB12 DA67 HA16  
 5F052 DA03 DA04 DB01 EA16 GC01  
 HA01 KA01 KA10

(54) 【発明の名称】 高温成長を不要とする低貫通転位密度格子不整合エピ層

## (57) 【要約】

基板と、基板上に蒸着され、蒸着温度より100℃以上高い温度で焼鈍された格子不整合の第一の層と、第一の層の上に蒸着された、基板に対して第一の半導体層より格子不整合の大きい第二の層とを備える半導体構造とその加工方法。別の実施の形態においては、半導体基板と、基板上に蒸着され、蒸着温度より100℃以上高い温度で焼鈍された一連の格子不整合半導体層を有する第一の半導体層と、第一の半導体層の上に蒸着され、それ自体の蒸着温度より100℃以上高い温度で焼鈍された、基板に対して第一の半導体層より格子不整合の大きい第二の半導体層とを備える、半導体基板上の半導体段階的組成層構造およびその加工方法が提供される。



位すへの活性化エネルギーが2.25eVの仮定に基づき、式(2)を用いて計算された有効ひずみをグラフにしたものである。有効ひずみは、成長温度の上昇とともに低下し、750℃以上の成長温度では $1 \times 10^{-4}$ から $3 \times 10^{-4}$ の範囲となる。

【0019】

図3および図4から、1,000℃以上の成長温度では、 $10^{15} \text{ cm}^{-2}$ より低く低い転位密度が実現することが明らかである。しかしながら、前述のとおり、気体流のゲルマン濃度の高いものにこのような高い成長温度を使用すると（経済的な高成長率のために望ましい）、大きな問題となる気相核生成が起こる。

【0020】

本発明を使用すると、750℃で合理的な成長率により成長させ、気相核生成を防止し、しかも、気体流を用いずに、高温で焼鈍することにより、低貫通転位密度を実現できる。図5は、焼鈍が転位密度に与える影響を、エピタキシャル成長後使用した場合と使用しない場合で成長させたSiGeサンプルのエッチピット形態（EPD）をまとめて示している。

【0021】

このサンプルは、10%Ge/ $\mu\text{m}$ 単位で0-20%まで段階付けたSiGe段階積層層上に20%SiGe層を形成したものである。このSiGeの貫通転位密度を成長とともに測定し（成長温度700-750℃）、成長後、1050℃で、5分間、焼鈍が行われた。焼鈍の結果、全体としての貫通転位密度は $1.36 \times 10^4 \text{ cm}^{-2}$ から $7.25 \times 10^3 \text{ cm}^{-2}$ へと減り、フィールド貫通転位密度は $1.31 \times 10^4 \text{ cm}^{-2}$ から $5.48 \times 10^3 \text{ cm}^{-2}$ に減少した。この開示において説明したように、段階付けプロセス全体に焼鈍を取り入れることにより、 $10^4 \text{ cm}^{-2}$ という低い全体的転位密度での薄膜生成が可能となる。

【0022】

焼鈍温度（図2の $\Delta t$ ）で停止すべき時間を予測することができる。この時間は、転位をできるだけ広く伝播したのを確認することによって決定される。この移動距離の保守的な予測を、図3と図4および、 $T > 750^\circ\text{C}$ でのサンプル成長がほぼ完全に緩和されるというX線回折からの追加情報から抽出できる。ミスフ

長くする必要はない。この許容により、本発明が、温度急変CVDシステム等、基板領域に温度質量が低いCVDリアクタに通じていることが実証される。

【0025】

高温サイクルにおける成長を回避し、温度急変CVDシステムにおける格子欠生成を回避することにより、低貫通転位密度の緩和格子不整合薄膜を形成する構造と方法について説明してきた。SiGe/Siの特定の例を使って成長シーケンスとパラメータを説明したが、本発明は、InGaAsおよびInGaP等、他の材料の組成段階付けにおける欠陥密度を低減するためにも利用できる。

【0026】

本発明は、いくつかの実施形態に関して紹介、説明したが、その形態や詳細には、本発明の意図と範囲から逸脱することなく、さまざまな変更、省略、追加を行うことができる。

【図面の簡単な説明】

【図1A】 低転位密度格子不整合薄膜の成長プロセスとそれによって得られる構造を示す略図であり、エピタキシャル成長と高温焼鈍が交互に行われる。

【図1B】 低転位密度格子不整合薄膜の成長プロセスとそれによって得られる構造を示す略図であり、エピタキシャル成長と高温焼鈍が交互に行われる。

【図1C】 低転位密度格子不整合薄膜の成長プロセスとそれによって得られる構造を示す略図であり、エピタキシャル成長と高温焼鈍が交互に行われる。

【図2】 本発明の実施形態の一例によって使用される、化学気相成長システム内の温度変化と気体の流れを示すグラフである。

【図3】 緩和SiGe表面の貫通転位密度対Si基板上のSiGe段階層における成長温度を示すグラフである。

【図4】 活性化エネルギー2.25eVの実験データに基づく、有効ひずみ変化対成長温度を示すグラフである。

【図5】 エピタキシャル成長を700-750℃で実施する成長後に高温焼鈍ステップを用いた場合と用いない場合の、0-20%段階積層層（10%Ge/ $\mu\text{m}$ 単位で段階付け）上の20%SiGeに関する全体およびフィールド貫通転位密度を示す図である。

ット転位の平均位置にたがって、貫通転位が移動した長さ $\lambda_{\text{rec}}$ の関数である。

【数3】

$$\lambda_{\text{rec}} = \frac{\rho_1}{\rho_2} = \frac{1}{5\rho_2} = \frac{\delta}{b_g \rho_2} \quad (3)$$

ただし、 $\delta$ は、界面転位密度（界面転位空間Sの逆数）である。30%Ge合金の例の場合、完全緩和は $\rho = 1.22 \times 10^4$ の時である。この結果、式3を使い、スレッド当たりの総ミスフィット距離は5cmとなる。実験は4インチ（10cm）の基板上で行われたため、ウェハの縁で大きな欠陥が逃れる可能性がある。

【0023】

全体の長さ5cmは、段階層において多数の界面に分散されることを思い出すなければならない。段階的SiGeの場合、普通、段階層はたとえば15層からなり、各層の濃度が2%Geずつ異なる。10%Ge/ $\mu\text{m}$ の一般的な段階率を考えると、15層の各層の厚さは2,000Åとなる。このように、1回のスレッドで、各界面に約5cm/15=0.33cmのミスフィット距離ができる。

【0024】

【数4】

$$v = BV^0 e^{\frac{-U}{kT}} \quad (4)$$

という表現で転位速度を推定できるため、最大緩和に近づくための最短時間（ $\Delta t$ ）は次のとおりとなる。

【数5】

$$\Delta t = \frac{\lambda}{v} = 0.1 \text{ 秒} \quad (5)$$

ただし、焼鈍が1,100℃で行われると仮定する。このように、高温で必要な焼鈍時間は、低い温度で成長させたひとつまたは複数の層がその最大距離だけ移動し、できるだけ低い貫通転位密度を作ったことを確認するために、秒単位より

【図1A】

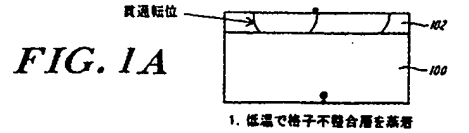
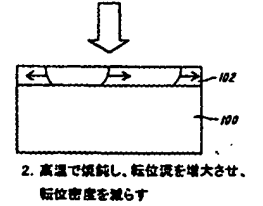
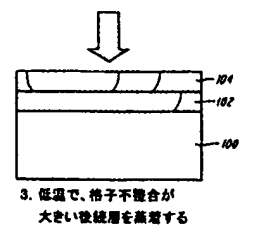


FIG. 1B

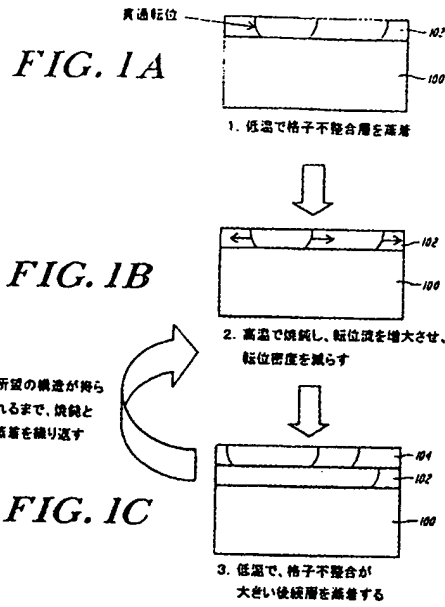


4. 所望の構造が得られるまで、焼鈍と蒸着を繰り返す

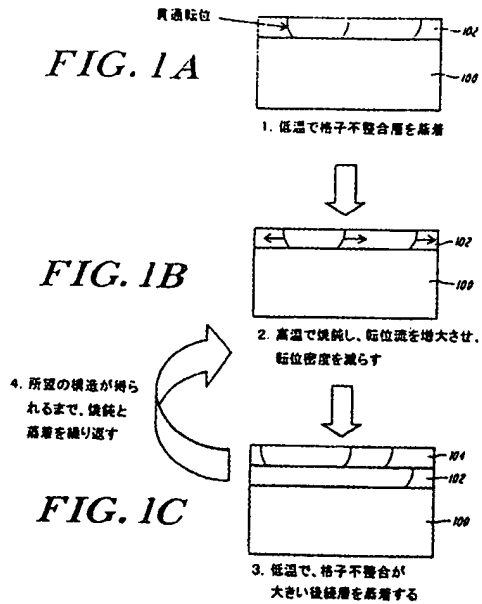
FIG. 1C



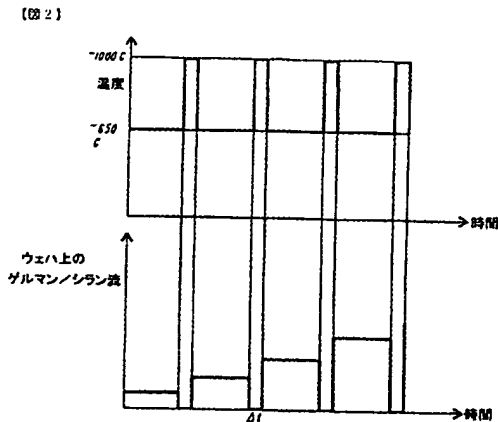
(19) 特表平15-520411



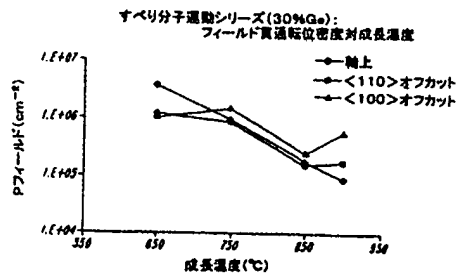
(20) 特表平15-520411



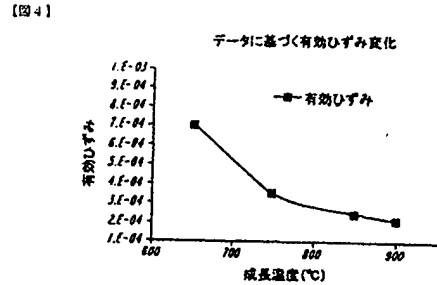
(21) 特表平15-520444



(図3)



(22) 特表平15-520444



(図5)

サンプル	全体貫通転位密度 (#/cm²)	フィールド貫通転位密度 (#/cm²)
段階的緩衝層を備える Si上の20%SiGe	$1.36 \times 10^6$	$1.31 \times 10^6$
1050°Cで8分間焼鈍を 行った後の、段階的緩衝 層を備えるSi上の20%SiGe	$7.25 \times 10^6$	$5.48 \times 10^5$

【半導体装置】

【提出日】平成14年12月27日(2002.12.27)

【半導体装置】

【請求対象事項名】半導体装置

【請求対象事項名】特許請求の範囲

【請求方法】文書

【請求の内容】

【特許請求の範囲】

【請求項1】 半導体構造であって、

基板と、

基板温度で前記基板上に蒸着された、前記基板に対して格子不整合性のある第一の層であって、前記基板温度より高い焼結温度で焼結された第一の層と、

前記第一の層の上に蒸着された第二の層と、

を備えることを特徴とする半導体構造。

【請求項2】 請求項1に記載の半導体構造であって、

前記基板はSiであり、前記第一と第二の層はSi<sub>1-x</sub>Ge<sub>x</sub>であることを特徴とする半導体構造。

【請求項3】 請求項1に記載の半導体構造であって、

前記基板はSiである表面層を備え、前記第一と第二の層はSi<sub>1-x</sub>Ge<sub>x</sub>であることを特徴とする半導体構造。

【請求項4】 請求項1に記載の半導体構造であって、

前記基板はGaAsであり、前記第一と第二の層はIn<sub>x</sub>Ga<sub>1-x</sub>Asであることを特徴とする半導体構造。

【請求項5】 請求項1に記載の半導体構造であって、

前記基板はGaAsである表面層を備え、前記第一と第二の層はIn<sub>x</sub>Ga<sub>1-x</sub>Asであることを特徴とする半導体構造。

【請求項6】 請求項1に記載の半導体構造であって、

前記基板はGaPであり、前記第一と第二の層はIn<sub>x</sub>Ga<sub>1-x</sub>Pであることを特徴とする半導体構造。

(24)

特表平15-520444

【請求項17】 請求項1に記載の半導体構造であって、

前記第一の層は、格子不整合性の半導体層が重ねられたものであることを特徴とする半導体構造。

【請求項18】 請求項17に記載の半導体構造であって、

前記基板はSiで構成され、前記第一の層および第二の層はSi<sub>1-x</sub>Ge<sub>x</sub>で構成され、前記第一の層および前記第二の層のいずれかに含まれる導電層は、各層におけるGe濃度が約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であることを特徴とする半導体構造。

【請求項19】 請求項17に記載の半導体構造であって、

前記基板はSiで構成され、前記第一の層および第二の層はSi<sub>1-x</sub>Ge<sub>x</sub>で構成され、前記第一の層および前記第二の層のいずれかに含まれる導電層は、各層におけるGe濃度が約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であり、焼結時間が0.1秒より長いことを特徴とする半導体構造。

【請求項20】 請求項1に記載の半導体構造であって、

前記第一の層は、転位密度が減少された層であることを特徴とする半導体構造。

【請求項21】 請求項1に記載の半導体構造であって、

前記第二の層は、前記基板に対して格子不整合性のある層であることを特徴とする半導体構造。

【請求項22】 請求項21に記載の半導体構造であって、

前記第二の層は、前記第一の層より格子不整合性が高いことを特徴とする半導体構造。

【請求項23】 請求項1に記載の半導体構造であって、

前記第二の層は、第二の層の蒸着温度で蒸着され、前記第二の層の蒸着温度より高い第二の層の焼結温度で焼結された層であって、前記第二の層は転位密度が減少された層であることを特徴とする半導体構造。

【請求項24】 請求項23に記載の半導体構造であって、

前記第二の層の焼結温度は、前記第二の層の蒸着温度より100℃以上高い温度であることを特徴とする半導体構造。

(23)

特表平15-520444

【請求項7】 請求項1に記載の半導体構造であって、

前記基板はGaPである表面層を備え、前記第一と第二の層はIn<sub>x</sub>Ga<sub>1-x</sub>Pであることを特徴とする半導体構造。

【請求項8】 請求項2に記載の半導体構造であって、

前記第一と第二の層のGe濃度に10%Geより小さい差があることを特徴とする半導体構造。

【請求項9】 請求項2に記載の半導体構造であって、

前記第一と第二の層のGe濃度が約1.5%異なることを特徴とする半導体構造。

【請求項10】 請求項2に記載の半導体構造であって、

Si<sub>1-x</sub>Ge<sub>x</sub>である前記第一と第二の層は、850℃より低い成長温度で蒸着されることを特徴とする半導体構造。

【請求項11】 請求項2に記載の半導体構造であって、

前記焼結は900℃より高い温度で行われることを特徴とする半導体構造。

【請求項12】 請求項2に記載の半導体構造であって、

焼結時間は0.1秒より長いことを特徴とする半導体構造。

【請求項13】 請求項2に記載の半導体構造であって、

前記第一と第二の層のGe濃度は約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であることを特徴とする半導体構造。

【請求項14】 請求項2に記載の半導体構造であって、

前記第一と第二の層のGe濃度は約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であり、焼結時間が0.1秒より長いことを特徴とする半導体構造。

【請求項15】 請求項1に記載の半導体構造であって、

前記格子不整合の第一の層は、化学気相成長法で蒸着されることを特徴とする半導体構造。

【請求項16】 請求項1に記載の半導体構造であって、

前記焼結温度は蒸着温度より100℃以上高い温度であることを特徴とする半導体構造。

(25)

特表平15-520444

【請求項25】 半導体構造を製造する方法であって、

基板上に、前記基板に対して格子不整合性のある第一の層を蒸着温度で蒸着するステップと、

前記蒸着の後に、転位密度を減少させるべく該蒸着温度より高い焼結温度で前記格子不整合性のある層を焼結するステップと、

を含むことを特徴とする方法。

【請求項26】 請求項25に記載の方法であって、

(a) 後続層を蒸着温度で蒸着するステップと、

(b) 該蒸着の後に、転位密度を減少させるべく該蒸着温度より高い焼結温度で前記後続層を焼結するステップと、

(c) 前記ステップ(a)および(b)を繰り返すステップと、

をさらに含むことを特徴とする方法。

【請求項27】 請求項26に記載の方法であって、

前記基板はSiである少なくともひとつの表面層を備え、前記第一の層と後続層はSi<sub>1-x</sub>Ge<sub>x</sub>であることを特徴とする方法。

【請求項28】 請求項26に記載の方法であって、

前記基板はGaAsである少なくともひとつの表面層を備え、前記第一の層と後続層はIn<sub>x</sub>Ga<sub>1-x</sub>Asであることを特徴とする方法。

【請求項29】 請求項26に記載の方法であって、

前記基板はGaPである少なくともひとつの表面層を備え、前記第一の層と後続層はIn<sub>x</sub>Ga<sub>1-x</sub>Pであることを特徴とする方法。

【請求項30】 請求項27に記載の方法であって、

前記第一の層と後続層のGe濃度に10%Geより小さい差があることを特徴とする方法。

【請求項31】 請求項27に記載の方法であって、

前記第一の層と後続層のGe濃度が約1.5%Ge異なることを特徴とする方法。

【請求項32】 請求項27に記載の方法であって、

前記Si<sub>1-x</sub>Ge<sub>x</sub>である第一の層と後続層は、850℃より低い成長温度で蒸

AUG 13 2003

現されることを特徴とする方法。

【請求項33】 請求項27に記載の方法であって、

前記焼結は1000℃より高い温度で行われることを特徴とする方法。

【請求項34】 請求項27に記載の方法であって、

焼結時間は0.1秒より長いことを特徴とする方法。

【請求項35】 請求項27に記載の方法であって、

前記第一の層と後続層のGe濃度は約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であることを特徴とする方法。

【請求項36】 請求項27に記載の方法であって、

前記第一の層と後続層のGe濃度は約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であり、焼結時間が0.1秒より長いことを特徴とする方法。

【請求項37】 請求項25に記載の方法であって、

前記待子不整合の第一の層は、化学気相成長法で蒸着されることを特徴とする方法。

【請求項38】 請求項26に記載の方法であって、

前記基板はSiで少なくともひとつの表面層を備え、前記第一の層と後続層はSi、Geで構成され、前記第一の層および前記後続層のいずれか一層に含まれる導電層は、各層におけるGe濃度が約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であることを特徴とする方法。

【請求項39】 請求項26に記載の方法であって、

前記基板はSiで少なくともひとつの表面層を備え、前記第一の層と後続層はSi、Geで構成され、前記第一の層および前記後続層のいずれか一層に含まれる導電層は、各層におけるGe濃度が約1.5%異なり、成長温度は約750℃であり、焼結温度は約1050℃であり、焼結時間が0.1秒より長いことを特徴とする方法。

【請求項40】 請求項26に記載の方法であって、

前記後続層は、前記基板に対して待子不整合性のある層であることを特徴とする方法。

【請求項11】 請求項10に記載の方法であって、

前記後続層は、実行する層より待子不整合性が高いことを特徴とする方法。

【請求項12】 請求項25に記載の方法であって、

前記焼結温度は、蒸着温度より1000℃以上高い温度であることを特徴とする方法。

【請求項13】 請求項25に記載の方法であって、

前記蒸着するステップは、蒸着雰囲気の供給を行い、

前記焼結するステップは、前記蒸着雰囲気を取り除いた状態で実施されることを特徴とする方法。

【国際調査報告】

## INTERNATIONAL SEARCH REPORT

 Internat. Application No.  
 PCT/US 01/01413

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> [PC 7] H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) [PC 7] H01L		
Examination searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X  Y	US 5 279 687 A (GIBBINGS CHRISTOPHER J ET AL) 18 January 1994 (1994-01-18)   column 2, line 44 -column 4, line 21 column 6, line 51 -column 7, line 2 claims 1,4 --- -/--	1-7, 10-12, 31-34, 37-39,42 8,9,13, 14, 16-30, 35,36, 40,41, 43-54
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claims or which is cited to establish the publication date of another document or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 21 May 2001		Date of mailing of the international search report 29/05/2001
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 851 spo nl, Fac. (+31-70) 340-3016		Authorized officer Giordani, S

Form PCT/ISA/210 (second sheet) (July 1999)

page 1 of 2

AUG 13 2003

## INTERNATIONAL SEARCH REPORT

Internatio Application No  
PCT/US 01/01413

## C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 810 924 A (MEYERSON BERNARD STEELE ET AL) 22 September 1998 (1998-09-22)  column 5, line 64 -column 7, line 16 column 9, line 16 - line 30 column 13, line 1 - line 8 claims 1,3	8,9,13, 14, 16-30, 35,36, 40,41, 43-54
X	US 4 900 372 A (LEE JHANG W ET AL) 13 February 1990 (1990-02-13)  column 3, line 18 -column 4, line 30	1,4-7, 15,16, 19-22, 30,31, 33,34, 42,43, 45,46,54
A	LUAN H -C ET AL: "HIGH-QUALITY GE EPILAYERS ON SI WITH LOW THREADING-DISLOCATION DENSITIES" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS, NEW YORK, US, vol. 75, no. 19, 8 November 1999 (1999-11-08), pages 2909-2911, XP000875961 ISSN: 0003-6951 the whole document	1-54

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

AUG 13 2003



## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.  
PCT/LS 01/01413

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5279687 A	18-01-1994	CA 2011986 A,C	10-09-1990
		EP 0462995 A	02-01-1992
		WO 9010950 A	20-09-1990
		JP 4504031 I	15-07-1992
US 5810924 A	22-09-1998	US 5659187 A	19-08-1997
		BR 9201914 A	12-01-1993
		CA 2062134 A,C	01-12-1992
		EP 0515859 A	02-12-1992
		JP 2582506 B	19-02-1997
US 4900372 A	13-02-1990	JP 5129201 A	25-05-1993
		US 4835116 A	30-05-1989
		CA 1320103 A	13-07-1993
		WO 8904549 A	18-05-1989

Form PCT/ISA/210 (patent family member) (July 1999)

AUG 13 2003